

CLIPPEDIMAGE= JP403225873A

PAT-NO: JP403225873A

DOCUMENT-IDENTIFIER: JP 03225873 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: October 4, 1991

INVENTOR-INFORMATION:

NAME

TANIZAWA, MOTOAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

~~MITSUBISHI ELECTRIC CORP~~

~~N/A~~

APPL-NO: JP02020850

APPL-DATE: January 30, 1990

INT-CL (IPC): H01L029/784;H01L027/00 ;H01L027/092

US-CL-CURRENT: 257/331

ABSTRACT:

PURPOSE: To get a semiconductor device, which has an element with small occupancy area, by using a tubular region, which surrounds a semiconductor region having three-dimensional expansion, as a channel region.

CONSTITUTION: One source/drain region 2 of a vertical MOS transistor is connected to an electric wiring 6a through a contact hole 7a, and the other source/ drain region 3 is connected to an electric wiring 6b through a contact hole 7b. The electric wiring 6a is isolated electrically from a semiconductor substrate 1a, being made on an insulating film 8. The vertical MOS transistor is surrounded by an insulating film 9 thereby being

isolated electrically from the adjacent element, and besides it is covered with a protective film 10. When positive voltage than the potential of an active region 1b is applied to a gate electrode 5a, charge is induced at the surface of the active region 1b opposed to the gate electrode 5a, and a channel region is made, and the four outsides become channel regions. Hereby, even if the occupancy area of the semiconductor region is small, long channel width can be gotten.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-225873

⑪ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月4日

H 01 L 29/784
27/00
27/092

3 0 1 A 7514-5F

7210-5F H 01 L 29/78 3 2 1 X
7735-5F 27/08 3 2 1 G

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-20850

⑰ 出 願 平2(1990)1月30日

⑱ 発 明 者 谷 沢 元 昭 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

主面を有する半導体基板と、

前記半導体基板の前記主面上に形成された絶縁膜と、

前記絶縁膜上に形成され、ソース/ドレイン領域としての第1の半導体領域と、

前記第1の半導体領域上に形成され、チャンネル領域としての第2の半導体領域と、

前記第2の半導体領域上に形成され、前記第1の半導体領域と対をなすソース/ドレイン領域としての第3の半導体領域と、

前記第2の半導体領域の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成され、前記半導体基板の前記主面に対して垂直に延びるゲート電極としての導電膜とを備えた、半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は半導体装置に関し、特に、半導体基板の表面に対して垂直方向にチャンネル領域が形成されるように筒状のゲート電極を有する半導体装置に関する。

[従来の技術]

第7図は従来のMOS(Metal Oxide Semiconductor)トランジスタの概略構造を示す模式図である。第7図において、シリコン基板1の表面には間隔を隔てて、電気信号の供給源および排出口となるソース/ドレイン2、3が形成されている。ソース/ドレイン2、3間のシリコン基板1の表面は電気信号が伝搬されるチャンネル領域6を構成する。チャンネル領域となるシリコン基板1表面上には、ゲート酸化膜4が形成され、ゲート酸化膜4上には、上記チャンネル6の電気信号の伝搬を制御するゲート電極5が形成されている。

次に、第7図に示す従来のMOSトランジスタの動作について説明する。第7図において、シリ

コン基板1の導電型はP型であり、ソース/ドレイン2, 3の導電型はN型であるとする。半導体基板1の電位を基準として、それよりも正の電圧をゲート電極5に印加すると、ソース/ドレイン2, 3の基板表面に負電荷が誘起され、チャンネル領域6が形成される。この状態でソース/ドレイン2, 3間に電位差を与えると、ドレイン電流が流れる。この電流は、基板表面に平行な領域に限られる。チャンネルの長さを L 、幅を W とすると、電流はほぼ W/L に比例する。したがって、チャンネル幅 W を広げることによって、大きな電流が得られることになる。

〔発明が解決しようとする課題〕

従来のMOSトランジスタは以上のように構成されているので、複数のMOSトランジスタにより構成される回路のうち、駆動能力を必要とするところでは、大きな電流を得るためにチャンネル幅を広げる必要があった。このため、素子の占有面積が大きくなり、チップが大型化するという問題点があった。

て用いることができるので、半導体領域の占有面積がたとえ小さくとも、長いチャンネル幅を有することができる。

〔発明の実施例〕

第1図はこの発明の一実施例の半導体装置の断面図であり、第2図はその平面図である。次に、第1図および第2図を参照して、この発明の一実施例の半導体装置の構造について説明する。

半導体基板1a上には、トランジスタの能動領域(チャンネル形成領域)1bが設けられる。能動領域1bの上および下には、能動領域1bに接して能動領域1bと異なる導電型の半導体からなるソース/ドレイン領域2, 3が形成される。能動領域1bの周囲には SiO_2 等の絶縁体からなるゲート絶縁膜4が形成され、ゲート絶縁膜4の周囲には、ポリシリコン等の導電体よりなるゲート電極5aが形成される。ゲート電極5aはこれと一体的に形成されたゲート配線5bに電気的に接続される。ゲート電極5aは筒状の形をしているが、その開口部5cの形状は、第3A図に示す

それゆえに、この発明は上述のような問題点を解消するためになされたもので、占有面積の小さい素子を有する半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

この発明の半導体装置では、主面を有する半導体基板上に絶縁膜が形成され、該絶縁膜上にはソース/ドレイン領域としての第1の半導体領域が形成され、第1の半導体領域上にはチャンネル領域としての第2の半導体領域が形成され、第2の半導体領域上には第1の半導体領域と対をなすソース/ドレイン領域としての第3の半導体領域が形成される。そして、チャンネル領域としての第2の半導体領域の周囲にはゲート絶縁膜が形成され、ゲート絶縁膜の周囲には半導体基板の主面に対して垂直に延びる筒状のゲート電極としての導電膜が形成される。

〔作用〕

この発明では、三次元的拡がりをも有する半導体領域を取り囲む筒状の領域をチャンネル領域とし

ように四角形のものに限らず、第3B図に示すように円形状のものであってもよい。ゲート電極5aに能動領域1bの電位よりも正の電圧が印加されると、ゲート電極5aに対向する能動領域1bの表面に電荷が誘起され、チャンネル領域が形成される。すなわち、能動領域1bが四角形状であると、その4つの外面がチャンネル領域となる。このようなチャンネル領域を有する能動領域1b、ソース/ドレイン領域2, 3、ゲート絶縁膜4およびゲート電極5aによりMOSトランジスタが形成される。このMOSトランジスタは第7図に示す従来例と異なり、チャンネル領域が縦方向(第1図に示す矢印A方向)に延在しているので、以下、これを縦型MOSトランジスタと称する。

縦型MOSトランジスタの一方のソース/ドレイン領域2は、コンタクトホール7aを介して、A₂等の導電体からなる電気配線6aに接続され、他方のソース/ドレイン領域3はコンタクトホール7bを介して電気配線6bに接続される。電気配線6aは SiO_2 等からなる絶縁膜8上に形成

され、半導体基板1aから電気的に分離されている。縦型MOSトランジスタは SiO_2 等からなる絶縁膜9で囲まれていて隣接する素子から電気的に分離されている。縦型MOSトランジスタはPSG(Phospho-Silicate Glass)等からなる保護膜10で覆われている。

次に、第1図および第2図に示す縦型MOSトランジスタの各部分のおおよその寸法について説明する。

半導体基板1aの厚さは数100 μm である。能動領域1bの縦方向の長さLはチャンネル長であり、0.5 μm ~1.5 μm である。また、能動領域1bの周囲の長さWは下記式で与えられる。

$$W = 2 \times (W_a + W_b)$$

ここで、 W_a 、 W_b はそれぞれ基板の主面に平行な面上にある能動領域1bの直交する2辺の長さである。

Wはチャンネル幅に相当し、ソース/ドレイン領域2、3の周囲の長さにはほぼ等しく、1 μm ~数100 μm である。ソース/ドレイン領域2、

なお、半導体基板1aをRIE(Reactive Ion Etching)などのエッチング法により、選択的にエッチングして凹部を形成し、該凹部に縦型MOSトランジスタを形成してもよい。この場合には、上述の絶縁膜8および電気配線層6aは該凹部内に形成される。

次に、第4B図を参照して、電気配線層6a上にCVD(Cheical Vapour Deposition)法を用いて、 SiO_2 からなる絶縁膜91が形成される。次に、絶縁膜91の所定の領域はエッチングされ、コンタクトホール7aが形成される。次に、絶縁膜91の全面上にCVD法を用いて、ソース/ドレインとなる半導体薄膜21が形成される。半導体薄膜21は、たとえば多結晶シリコン膜である。これに代えて、単結晶シリコンをエピタキシャル成長させて、単結晶シリコンからなる半導体薄膜21を得てもよい。次に、そのうちの不要部分がエッチングにより除去され、次に残余の半導体薄膜22にはイオン注入法を用いて、不純物イオンが注入される。

3の縦方向の長さは0.5~1 μm である。ゲート絶縁膜4の厚さは100~200 \AA であり、ゲート電極5aの厚さは4000~5000 \AA である。

また、ゲート配線5bの幅は0.5~1 μm である。電気配線6a、6bの厚さおよび幅はともに0.5~1 μm である。コンタクトホール7a、7bの大きさは、0.5~1 μm 四方である。絶縁膜8の厚さは0.5~1 μm である。絶縁膜9および保護膜10の厚さは2 μm ~数 μm である。

第4A図ないし第4H図は第1図および第2図に示す縦型MOSトランジスタの製造方法を工程順に説明するための断面図である。次に、第4A図ないし第4H図を参照して、縦型MOSトランジスタの製造方法について説明する。

第4A図を参照して、シリコン等の半導体基板1aの主面が熱酸化される。これにより、半導体基板1a上に絶縁膜8が形成される。次に、スパッタリング法により、Alが絶縁膜8上に付着されて、電気配線層6aが形成される。

これにより、たとえばN型のソース/ドレイン領域2が得られる。

次に、第4C図を参照して、CVD法を用いて、試料の全面に SiO_2 からなる厚膜の絶縁膜9が形成される。次に、絶縁膜9の所定領域がトレンチ状にエッチングされ、凹部92が形成される。これ以降の工程を示す第4D図ないし第4H図には、説明を簡単にするために凹部92内の状態のみが示されている。

次に、第4D図を参照して、試料の全面にCVD法を用いて、多結晶シリコン膜が形成される。これにより、凹部92の内部および絶縁膜9上に多結晶シリコン膜51が形成される。

次に、第4E図を参照して、凹部92の側壁部以外の多結晶シリコン膜51が除去され、ゲート電極5aおよび第2図に示すゲート配線5bが形成される。次に、試料の全面にCVD法を用いて、 SiO_2 からなる膜厚の薄い絶縁膜41が形成される。

次に、第4F図を参照して、絶縁膜41はパタ

ーニングされて、ゲート絶縁膜4が得られる。次に、CVD法を用いて、凹部92内に半導体膜11が形成される。半導体膜11は多結晶シリコン膜あるいは単結晶シリコン膜からなる。次に、半導体膜11にイオン注入法により不純物イオンが注入される。これにより、たとえばP型の能動領域1bが得られる。

次に、第4G図を参照して、試料の全面にCVD法を用いて、ドイレン/ソースとなる半導体薄膜31が形成される。第4B図において説明したのと同様に、半導体薄膜31の不要部分がエッチング除去され、次に、残余の半導体薄膜にはイオン注入が行なわれる。これにより、たとえばN型のソース/ドレイン領域3が得られる。

次に、第4H図を参照して、試料の全面にCVD法を用いて、 SiO_2 からなる絶縁膜93が形成され、続いて、エッチングにより絶縁膜93にコンタクトホール7bが形成される。次に、スパッタリング法を用いて、Alが試料の全面に付着され、これにより、電気配線6bが形成される。

合に比べて約1/2となる。

第5図は縦型MOSトランジスタからなるCMOS (Complementary MOS) 構造の断面図であり、第6図はその平面図である。

第5図および第6図を参照して、能動領域1bがたとえばNチャンネルMOSトランジスタを構成するチャンネル領域であり、それを取り囲む能動領域1cは能動領域1bとは異なる導電型であるたとえばPチャンネルMOSトランジスタを構成するチャンネル領域である。能動領域1cの上部および下部には、ソース/ドレイン領域2bおよび3bがそれぞれ接続される。ソース/ドレイン領域3bはコンタクトホール7cを介して電気配線層6cに接続され、ソース/ドレイン領域2bはコンタクトホール7d、7eを介して電気配線層6aに接続される。能動領域1bと能動領域1cとの間には、ゲート絶縁膜4a、4bを介してゲート電極5aが設けられる。このゲート電極5aはNチャンネルMOSトランジスタ、PチャンネルMOSトランジスタで共通のゲート電極である。

電気配線6b上にはCVD法を用いて、PSGからなる保護膜10が形成される。このようにして、縦型MOSトランジスタが得られる。

次に、第1図および第2図に示す縦型MOSトランジスタの占有面積を従来例と比較して説明する。

一例として、チャンネル長が $1\mu m$ 、チャンネル幅が $100\mu m$ の素子の場合について考える。従来構造のMOSトランジスタでは、能動領域の面積は素子1個につき、

$$1\mu m \times 100\mu m = 100\mu m^2$$

となる。

一方、縦型MOSトランジスタでは、能動領域の形状を $1\mu m \times 49\mu m$ の長方形とすると、能動領域の面積は、

$$1\mu m \times 49\mu m = 49\mu m^2$$

となる。このとき、能動領域の周囲長は $1+0+0+1=2\mu m$ であり、チャンネル幅は従来構造の場合と同じ長さである。このように、チャンネル幅は従来例と同じであるが、能動領域の面積は従来構造の場

第6図において、ゲート電極5aで規定されるNチャンネルMOSトランジスタの幅 S_a は数 μm 〜数 $10\mu m$ である。ゲート絶縁膜4bの幅 L_a は $100\sim 200\text{\AA}$ であり、ソース/ドレイン領域3bの幅 L_b は $0.1\mu m$ であるので、ソース/ドレイン領域3bで規定されるPチャンネルMOSトランジスタの幅 S_b は S_a に比べて $0.1\mu m$ 程度しか差がない。したがって、第5図および第6図に示すような共通ゲート構造とすることによって、縦型MOSトランジスタは素子が1つのときとほぼ同じ面積で複数の素子を形成することが可能となる。

一方、従来例の場合では、素子が複数個になると、占有面積はその個数分だけ増えることは明らかである。このように、縦型MOS構造を適用すれば、素子の占有面積を小さくすることができ、集積度の高い半導体装置を得ることができる。

なお、上述の実施例では、ソースおよびドレインの造が、いわゆるシングルドレイン構造の場合について示したが、ソース/ドレインとチャン

ネルとの間に、ソース/ドレインと同じ導電型でそれよりも不純物濃度の低い半導体領域を挟み込んだ、いわゆるLDD (Lightly Doped Drain) 造の場合でもよい。

【発明の効果】

以上のように、この発明によれば、三次元的拡がりを持つ半導体領域を取り囲む筒状の領域をチャンネル領域として用いるようにしたので、半導体領域の占有面積がたとえ小さくても、実効的なチャンネル幅を十分に確保することができ、素子形成領域の縮小化を図ることができる。したがって、高い集積度の半導体装置を提供することができようになる。

4. 図面の簡単な説明

第1図はこの発明の一実施例の半導体装置の断面図である。第2図はその平面図である。第3A図は第1図に示すゲート電極の斜視図であり、第3B図はその変形例を示す斜視図である。第4A図ないし第4H図は第1図および第2図に示す縦型MOSトランジスタの製造方法を工程順に説明

するための断面図である。第5図はこの発明の一実施例が適用された縦型MOSトランジスタからなるCMOS構造の断面図である。第6図はその平面図である。第7図は従来のMOSトランジスタの概略構造を示す模式図である。

図において、1aは半導体基板、1bは能動領域、2および3はソース/ドレイン領域、4はゲート絶縁膜、5aはゲート電極、6a、6bは電気配線、7a、7bはコンタクトホール、8および9は絶縁膜、10は保護膜を示す。

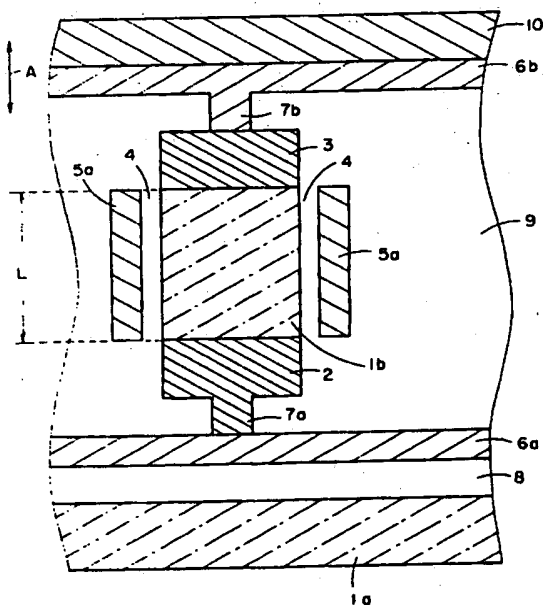
特許出願人 三菱電機株式会社

代理人 弁理士 深見 久郎

(ほか2名)

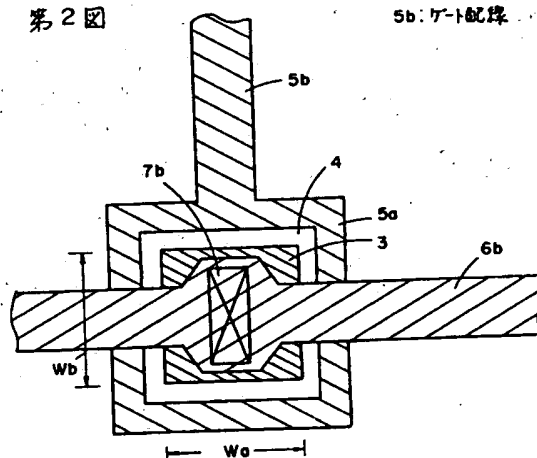


第1図



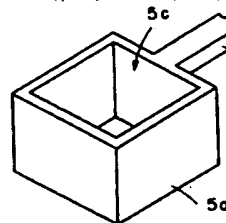
1a: 半導体基板
1b: 能動領域
2, 3: ソース/ドレイン領域
4: ゲート絶縁膜
5a: ゲート電極
6a, 6b: 電気配線
7a, 7b: コンタクトホール
8, 9: 絶縁膜
10: 保護膜

第2図

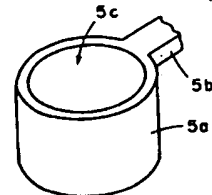


5b: ゲート配線

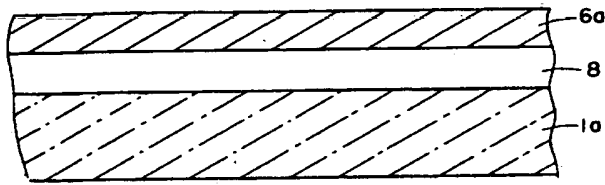
第3A図



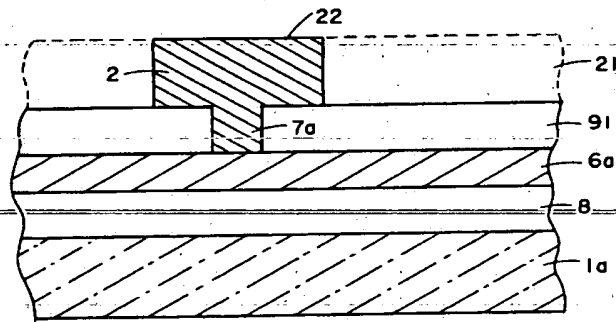
第3B図



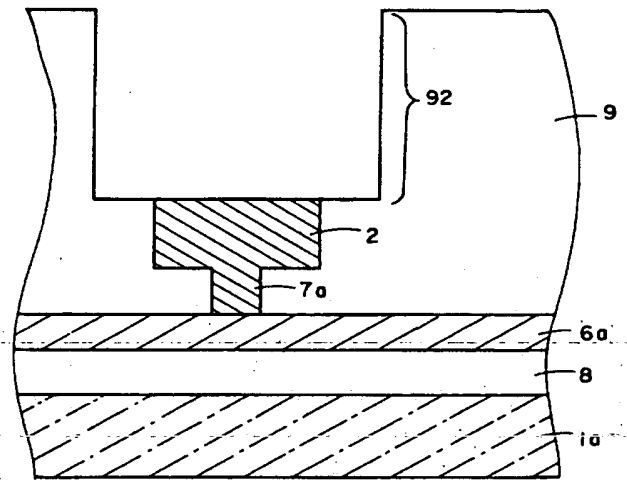
第4A図



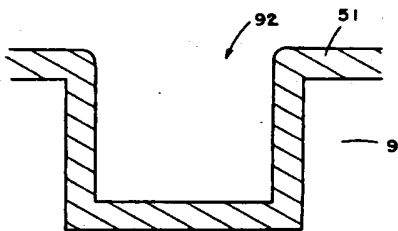
第4B図



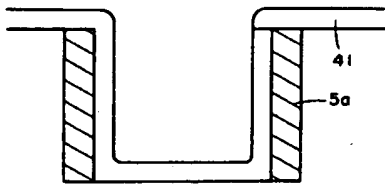
第4C図



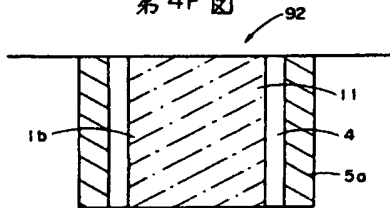
第4D図



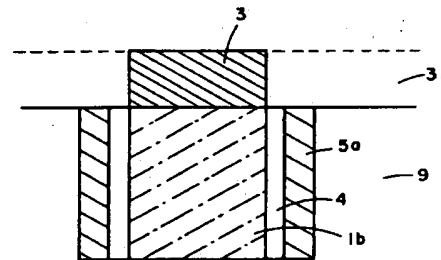
第4E図



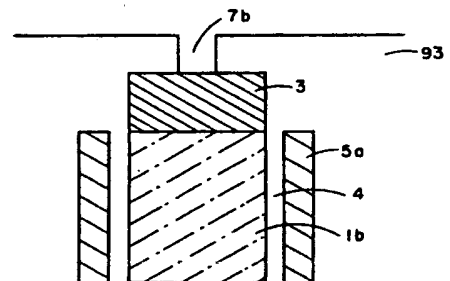
第4F図



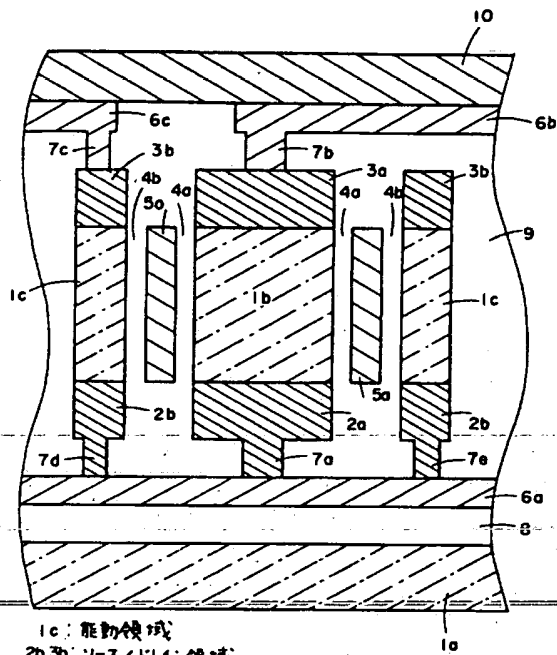
第4G図



第4H図

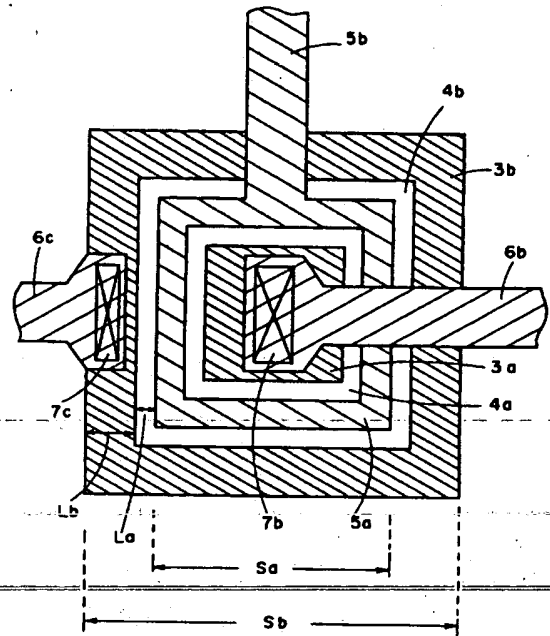


第5図



1c: 駆動領域
2a, 3a: ソース/ドレイン領域
4a, 4b: ゲート絶縁膜
6c: 電気配線
7c, 7d, 7e: コンタクトホール

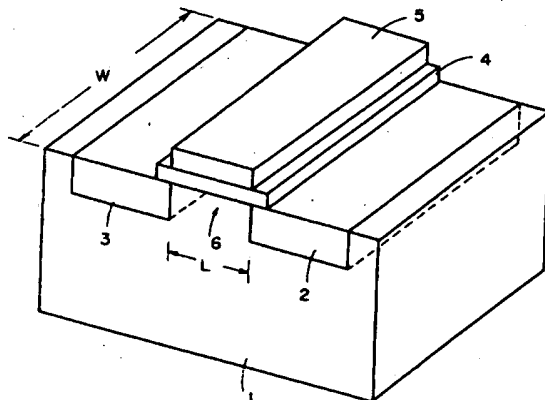
第6図



手続補正書(自発)

平成3年4月25日

第7図



1: シリコン基板
2, 3: ソース/ドレイン
4: ゲート酸化膜
5: ゲート電極
6: チャンネル領域

特許庁長官殿

1. 事件の表示

平成2年特許願第20850号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係

特許出願人

住所

東京都千代田区丸の内二丁目2番3号

名称

(601) 三菱電機株式会社

代表者

志岐守哉

4. 代理人

住所

大阪市北区南森町2丁目1番29号 住友銀行南森町ビル

電話 大阪(06)361-2021(代)

氏名

弁理士(6474) 深見久郎



5. 補正の対象

明細 の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第3頁第2行ないし第3行の「半導体基板…正の電圧」を「あるしきい値電圧以上の電圧」に訂正する。

(2) 明細書第5頁第2行の「長い」を「広い」に訂正する。

(3) 明細書第6頁第3行の「能動領域…正の電圧」を「チャンネル濃度分布、絶縁膜の厚み等から決まるしきい値電圧以上の電圧」に訂正する。

—以上—